

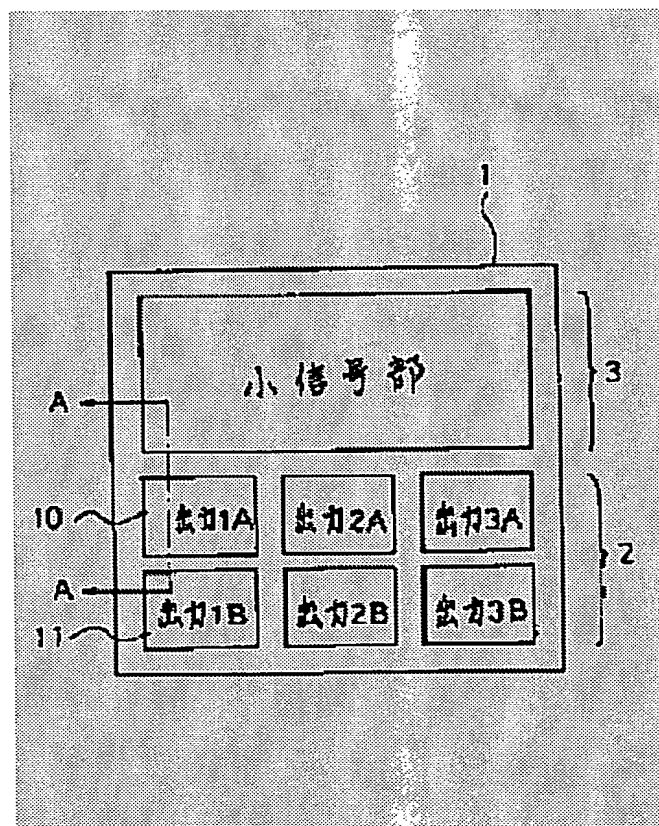
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent number: JP7135299
Publication date: 1995-05-23
Inventor: OIKE HIROYUKI
Applicant: SANYO ELECTRIC CO LTD
Classification:
- International: H01L27/06; H01L21/8222
- european:
Application number: JP19930155252 19930625
Priority number(s):

Abstract of JP7135299

PURPOSE: To prevent the parasitic effect of an inductive load caused by the counter electromotive force by specifying the position of output transistors against a small signal section by taking the polarities of the transistors into account.

CONSTITUTION: A small-signal section 3 and large-signal section 2 are arranged on a semiconductor chip 1. The transistors in the section 2 are classified into output transistors A 10 and output transistors B 11 and the transistors A 10, across the collectors of which a power supply voltage V_{cc} is applied, are arranged adjacently to the section 3. The transistors B 11, the collectors of which are connected to output terminals, are arranged far from the section 3 by arranging the transistors A 10 between the section 3 and transistors B 11.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135299

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl.⁶

H 0 1 L 27/06
21/8222

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

7210-4M

H 0 1 L 27/ 06

1 0 1 E

1 0 1 B

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平5-155252

(22) 出願日 平成5年(1993)6月25日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 大池 博幸

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

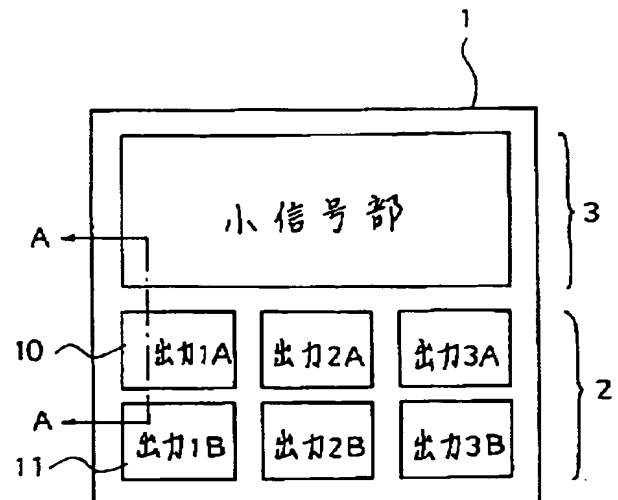
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 出力トランジスタの極性を考慮して小信号部との配置を規定することにより、誘導性負荷の逆誘導起電力による寄生効果を防止する。

【構成】 半導体チップ(1)に小信号部(3)と大信号部(2)を配置する。大信号部(2)のトランジスタは出力トランジスタA(10)と出力トランジスタB(11)とに分けられ、コレクタに電源電位V_{cc}が印加される出力トランジスタA(10)を小信号部(3)に隣接して配置する。コレクタが出力端子に接続される出力トランジスタB(11)は出力トランジスタA(10)を挟むことにより小信号部(3)から距離的に遠方に配置する。



2 : 小信号部

3 : 大信号部

1

【特許請求の範囲】

【請求項1】 半導体チップの表面に、コイル負荷を駆動するための、プッシュプル接続する少なくとも1組の出力トランジスタを形成し、

前記1組の出力トランジスタは一方のエミッタと他方のコレクタが接続されその接続点を出力端子とし、前記一方のコレクタを電源電位に、前記他方のエミッタを接地電位に接続し、

且つ前記出力トランジスタを駆動するための小信号回路を同じチップ上に形成した半導体集積回路装置に於て、

前記1組の出力トランジスタのうち、コレクタが電源電位に接続される一方のトランジスタを前記小信号回路の回路ブロックに隣接して配置することを特徴とする半導体集積回路装置。

【請求項2】 前記一方のトランジスタと前記小信号回路の回路ブロックとの間にダミーアイランドを設け、前記ダミーアイランドに電源電位を印加したことを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記一方のトランジスタと前記小信号回路の回路ブロックとの間を高濃度分離領域でのみ分離して配置したことを特徴とする請求項1記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、モータドライバ用などの、コイル負荷を駆動するための半導体集積回路の誤動作防止に関する。

【0002】

【従来の技術】モータなどの誘導性負荷を直流スイッチング駆動する場合、スイッチングで負荷に流れている駆動電流の方向が切り替わった直後、逆誘導起電力の発生により接続端子が接地電位より低い異常電圧に至ることが知られている。半導体集積回路にこのような異常電圧が印加されると、半導体集積回路内で寄生トランジスタが発生して寄生電流が流れ、この影響で回路が誤動作を起こしてしまう。

【0003】そこで、例えば特開昭56-98839号公報には、出力トランジスタを形成する大信号部と制御回路を形成する小信号部との間にダミーアイランドを配置して、前記異常電圧が印加された場合の回路の誤動作を防止する技術が記載されている。図4、図5に係る対策を施した半導体集積回路装置を示す平面図と断面図である。即ち、半導体チップ(1)の表面に大信号部(2)と小信号部(3)とを配置し、両者の間にダミーアイランド(4)を配置したものである。大信号部(2)には出力トランジスタが多数の単位トランジスタを並列接続した形で形成され、小信号部(3)には大信号部(2)の出力トランジスタを駆動するための制御回路が形成されている。ダミーアイランド(4)は図5に示すようにN型エピタキシャル層(5)の表面から半導

2

体基板(6)に達するP⁺型分離領域(7)で囲まれたエピタキシャル層(5)によって形成され、場合によってはエピタキシャル層(5)表面からN⁺型埋め込み層(8)に達するN⁺型領域(9)を形成し、ダミーアイランド(4)に電源電位V_{cc}を印加する。この構成により、基板(6)をベースとする寄生トランジスタQのコレクタ電流の大部分をダミーアイランド(4)から供給して(図示i₁)、小信号部(3)への寄生効果の影響を低減する。

【0004】

【発明が解決しようとする課題】ダミーアイランド(4)を配置することによる寄生効果の改善効果は、寄生トランジスタQのコレクタ電流のうち、どの程度を小信号部(3)のアイランドから引き込むかで決まり(図示i₂)、電流i₂の大きさは小信号部(3)のアイランドをコレクタとする寄生トランジスタの逆βの大きさにより定まる。逆βの大きさは、単純に大信号部(2)と小信号部(3)との距離で定められ、距離の大きいほうが基板(6)の抵抗成分により逆βが小さくなるので電流i₂の大きさも小さくなる。電流i₂が小さくなれば、小信号部(3)のコレクタ電位の変動を小さくできるので、小信号部(3)の回路特性悪化、誤動作も防止できる。

【0005】しかしながら、ダミーアイランド(4)を配置し、しかも大信号部(2)と小信号部(3)との距離を保つことは、それだけチップサイズを増大させる欠点があった。ダミーアイランド(4)を小さくすると、前述したように小信号部(3)への影響が大になる。また、従来は出力トランジスタの極性にまで注意を払ったパターン設計が成されたものではなかった。すなわち、前記異常電圧が印加された場合に問題になるのはコレクタに出力端子が接続されたNPN型トランジスタであり、出力端子にエミッタが接続されたNPNトランジスタではまず問題はない。前者が問題になるのは、回路的に遮断状態で、コレクタに接地電位GNDより低い異常電圧が印加された際にエミッタからの電流供給が成されないためであり、ベース電流が供給されていれば、このトランジスタは逆方向動作によりエミッタから電流供給されて寄生効果を発生させることはない。後者は、異常電圧がエミッタに印加され、ベースが遮断状態になることから、寄生トランジスタの発生の可能性は極めて少ない。

【0006】

【課題を解決するための手段】本発明は上述した従来の課題に鑑み成されたもので、出力トランジスタをプッシュプル接続された1組のNPNトランジスタとし、一方のトランジスタのエミッタと他方トランジスタのコレクタとの接続点を出力端子とし、前記一方のトランジスタを小信号回路ブロックに隣接して配置し、前記他方のトランジスタを小信号回路の回路ブロックの遠方に配置す

ることにより、従来の課題を解決した半導体集積回路装置を提供するものである。

【0007】

【作用】本発明によれば、寄生トランジスタが発生した際のコレクタ電流の大部分は一方のトランジスタ(10)のコレクタから供給される。小信号部(3)は一方のトランジスタ(10)により他方のトランジスタ(11)から遠方に配置されているので、基板(6)の抵抗成分が極めて大になり、寄生トランジスタの逆 β が従来より極めて小さくなる。よって、小信号部(3)のアイランドから引き込まれる寄生トランジスタのコレクタ電流は極めて小さい、または無い。

【0008】

【実施例】以下に本発明の一実施例を図面を参照しながら詳細に説明する。図1は本発明の半導体集積回路装置を示すための平面図である。例として3相ステッピングモータ駆動用集積回路を挙げる。この集積回路は出力トランジスタを3系統有するものである。

【0009】同図において、半導体チップ(1)の表面には大信号部(2)と小信号部(3)とが配置される。大信号部(2)は1組の出力トランジスタ、即ち一方のトランジスタA(10)と他方のトランジスタB(11)とが形成され、出力が3系統必要であることから3組の出力トランジスタが形成されている。出力トランジスタAB(10)(11)はNPN型トランジスタで構成され、単位小トランジスタをベース・コレクタ共通で多数形成し、エミッタをアルミ電極配線で共通接続することにより構成したものである。小信号部(3)にはNPNトランジスタ、PNPトランジスタ、抵抗、コンデンサなどが形成され、出力トランジスタAB(10)(11)に負荷を駆動するための制御信号を与えている。

【0010】小信号部(3)の回路ブロックは半導体チップ(1)の端に配置され、境を接するように大信号部(2)が配置される。この時、大信号部(2)の出力トランジスタA(10)を小信号部(3)に隣接するように配置し、出力トランジスタB(11)は出力トランジスタA(10)によって小信号部(3)から遠ざけるように配置する。

【0011】図2は出力トランジスタAB(10)(11)と負荷との接続を示す回路図である。出力トランジスタA(10)のエミッタと出力トランジスタB(11)のコレクタとの接続点が出力端子OUT1となり、該出力端子OUT1に3相ステッピングモータ(12)の一つの負荷が接続されている。出力トランジスタA(10)のコレクタは電源電位 V_{cc} に、出力トランジスタB(11)のエミッタは接地電位GNDに各々接続されている。各トランジスタ(10)(11)のベースには前記小信号部(3)からの制御信号が印加される。他の2つの負荷は、各々半導体チップ(1)表面に形成さ

れた出力トランジスタの他の出力端子OUT2、OUT3に接続され、他端は共通接続される。

【0012】図3は図1のAA線断面図である。バイポーラ型半導体装置はP型半導体基板(6)の上にN型のエピタキシャル層(5)を形成し、このエピタキシャル層(5)をP⁺型分離領域(7)で分離して多数のアイランドを形成し、アイランド内に各素子を作り込むことで得られる。(8)はN⁺型の埋め込み層である。出力トランジスタAB(10)(11)は、アイランドをコレクタとしその表面にP型ベース領域(13)とN⁺型エミッタ領域(14)を2重に拡散してNPNトランジスタとしてある。さらに、アイランドの表面から埋め込み層(8)まで達するN⁺型コレクタ低抵抗領域(9)を形成し、コレクタ低抵抗領域(9)の表面からコレクタ電極を取り出している。

【0013】そして、図2の回路図に従って、出力トランジスタA(10)のエミッタが出力端子OUT1に、コレクタが電源電位 V_{cc} に、出力トランジスタB(11)のコレクタが出力端子OUT1に、エミッタが接地電位GNDに各々接続されている。また、半導体基板(6)にも接地電位が与えられている。小信号部(3)と出力トランジスタA(10)との境界は、分離領域(7)が半導体チップ(1)の全長にわたり延在することにより分離されている。

【0014】以上のパターン配置によれば、出力トランジスタB(11)に隣接してコレクタに電源電位 V_{cc} が印加された出力トランジスタA(10)が配置されているので、出力トランジスタB(11)のコレクタに異常電圧が印加された際、基板(6)をベースとする寄生トランジスタ(15)のコレクタ電流の大部分は出力トランジスタA(10)のコレクタから供給される。一般に出力トランジスタはベース領域(13)を挟むようにして複数のコレクタ電極がコンタクトし、該コレクタ電極が歯歯上に延在しており、これらから個々の逆 β に従う寄生電流が供給される。

【0015】また、コレクタが出力端子に接続される出力トランジスタB(11)群と小信号部(3)との間に出力トランジスタA(10)群が配置されるので、両者の距離が大きくなる。特に出力トランジスタは大電力を得るために大面積を要することから、半導体チップ(1)内において十分離間することになる。よって、小信号部(3)のアイランドをコレクタとする寄生トランジスタの逆 β は極めて小さいものとなり、小信号部(3)から供給される電流は殆どない。よって小信号部(3)のコレクタ電位が変動しない。

【0016】出力トランジスタA(10)においては、前記異常電圧はエミッタに印加されるので、寄生効果は生じない。このように、出力トランジスタA(10)を間に配置することで小信号部(3)との寄生トランジスタの影響を除去できるので、大信号部(2)と小信号部

6

の抵抗が大になるので小信号部(3)のアイランドをコレクタとする寄生トランジスタの逆 β が極めて小さくなり、アイランドから引かれる寄生電流を極めて小さくできる。よって、従来より回路の誤動作を防止した高信頼性の集積回路を提供できる利点を有する。また、距離的に離れることでダミーアイランド(4)を配置しない構成とすれば、ダミーアイランド(4)の分だけチップサイズを縮小してコストダウンを図れる利点をも有するものである。

10 【図面の簡単な説明】
図1は、本発明の一実施形態に係る、

【図 1】 本発明を説明するための平面図である。

【図 1】 本発明を説明するための平面図である。

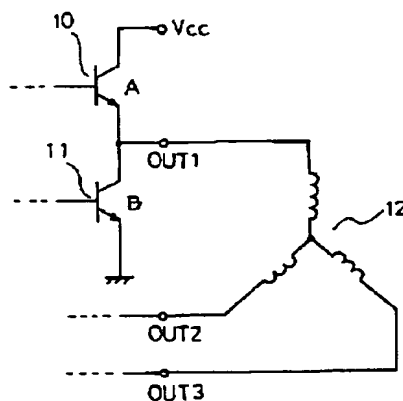
【図 2】 本発明を説明するための回路図である。

【図 3】本発明を説明するための断面図である。

【図4】従来例を説明するための平面図である。

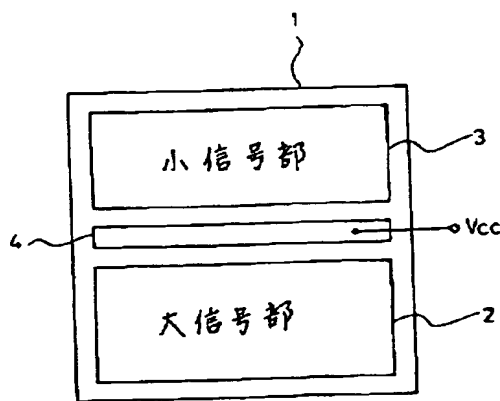
【図5】 従来例を説明するための断面図である。

【图 2】



【图 4】

【图 4】



【図5】

